

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-204450

(43)Date of publication of application : 09.08.1996

(51)Int.Cl.

H03B 5/32

H01L 27/04

H01L 21/822

H03B 5/06

(21)Application number : 07-013142

(71)Applicant : NEC CORP

(22)Date of filing : 30.01.1995

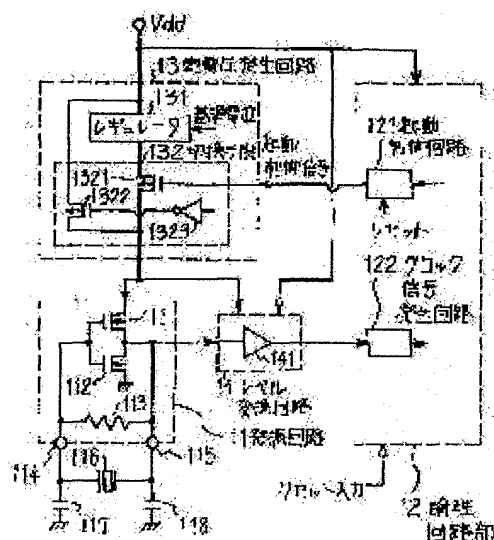
(72)Inventor : IMURA SATORU

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To reduce power consumption at the time of normal operations and to reduce higher harmonic noise radiation in an oscillation circuit incorporated in a semiconductor integrated circuit.

CONSTITUTION: This circuit is provided with a constant voltage generation circuit 13 provided with a switching means 132 for switching an operating power supply voltage supplied to the oscillation circuit 11 to a lower voltage by activation control signals for which a period from the oscillation activation to the oscillation stabilization of the oscillation circuit 11 is provided in a pulse width and a level conversion circuit 14 for level converting the output amplitude of the oscillation circuit 11 fluctuating corresponding to the operating power supply voltage supplied by the constant voltage generation circuit 13 into the logical amplitude of a logic circuit part 12.



LEGAL STATUS

[Date of request for examination] 30.01.1995

[Date of sending the examiner's decision of rejection] 28.10.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(11) 特許出願公開番号

(43)公開日 平成8年(1996)8月9日

技術表示箇所

B

(74)代理人 弁理士 京本 直樹 (外2名)

【特許請求の範囲】

【請求項1】 発振子接続端子をもつ発振回路と、この発振回路の出力信号に同期して動作する論理回路部と、電源電圧から前記発振回路の電源電圧として定電圧を発生する定電圧発生回路とを有する半導体集積回路において、

前記定電圧発生回路は前記定電圧値を前記論理回路部の動作中に切り換える切換手段を有し、前記定電圧発生回路の出力電圧に応じて変動する前記発振回路の出力振幅を前記論理回路部の論理振幅にレベル変換するレベル変換回路を備えることを特徴とする半導体集積回路。

【請求項2】 前記定電圧発生回路は、前記発振回路の発振起動から発振安定までの期間をパルス幅を含む起動制御信号に制御される前記切換手段により、前記パルス幅の期間中に発振起動電圧を出力し、前記パルス幅の期間後に前記発振起動電圧より低い発振維持電圧を出力する請求項1記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路に関し、特に発振回路およびこの発振回路の電源電圧を発生する定電圧発生回路を内蔵する半導体集積回路に関する。

【0002】

【従来の技術】 従来、この種の半導体集積回路は、スタンバイ時の消費電力削減のため、電源電圧を下げると共に、クロック信号を停止したりクロック信号の周波数を低くする方法が採用されていた。

【0003】 たとえば、図3は特開昭63-175909号報に示されている1チップマイクロコンピュータのブロック図である。この1チップマイクロコンピュータは、マイクロコンピュータ内部ユニット31、クロック信号制御回路32、電源電圧制御回路33などを有している。さらに、電源電圧制御回路33は、電源電圧選択用P型トランジスタ331及び332、電源電圧降下用N型トランジスタ334及び335、インバータ333などから構成されている。

【0004】 通常動作中、スタンバイ信号STOPバーはハイレベルである。クロック信号制御回路32は入力されたクロック信号CLKを出力する。電源電圧制御回路33は、電源電圧選択用P型トランジスタ332が導通しているため、電源電圧Vccを出力している。

【0005】 一方、マイクロコンピュータがスタンバイ状態に入ったとき、スタンバイ信号STOPバーはロウレベルに変化する。クロック信号制御回路32はクロック信号CLKの出力を停止する。電源電圧制御回路33は、電源電圧選択用P型トランジスタ331が導通し、電源電圧降下用N型トランジスタ334及び335により電源電圧Vccから電圧降下された電圧を出力する。

【0006】 このように、スタンバイ状態では、マイクロコンピュータ内部ユニット31に供給される電源電圧

を低電圧とし、クロック信号の供給を停止することで半導体集積回路の消費電力を削減している。

【0007】 また、図4は特開昭63-156218号報に示されているマイクロコンピュータの起動装置を示すブロック図である。このマイクロコンピュータの起動装置は、マイクロコンピュータ41、定電圧発生回路42、スタンバイ電源43、クロック供給回路44、リセット回路45、低速クロック発振回路46、ダイオード47などを有している。

【0008】 電源投入後、リセット時にマイクロコンピュータ41が出力する電源電圧切換信号に制御されて定電圧発生回路42より定電圧が出力され、クロック供給回路44が動作開始し安定したクロックを出力すると、リセット回路45はリセット信号を解除し、マイクロコンピュータ41は動作開始する。動作中、マイクロコンピュータ41はクロック供給回路44の出力クロックに基づき動作する。

【0009】 一方、マイクロコンピュータ41がスタンバイ状態に入るとき、マイクロコンピュータ41内部でクロック切換信号を発生しクロック供給回路44の出力から低速クロック発振回路46の出力にクロック信号を切り換えると共に、出力端子からの電源電圧切換信号により定電圧発生回路42を制御し定電圧出力を停止する。

【0010】 このように、マイクロコンピュータ41はダイオード47を介してスタンバイ電源43から低電源電圧の供給を受け、低速クロック発振回路46から低速クロック信号の供給を受けることにより、スタンバイ状態における半導体集積回路の消費電力を削減している。

【0011】

【発明が解決しようとする課題】 この従来のマイクロコンピュータなどの半導体集積回路では、内部回路全体の電源電圧を低電圧に切り換えるため、供給するクロック信号を停止したりクロック周波数を低くする必要があり、マイクロコンピュータがスタンバイ状態にあるときのみ半導体集積回路の消費電力を削減できた。

【0012】 しかし、動作時の低消費電力対策は施されず、発振子を含む発振器が動作中に発する高調波ノイズも大きいという問題があった。

【0013】 したがって、本発明の目的は、半導体集積回路に内蔵される発振回路の動作時の低消費電力化および高調波ノイズ放射の低減化を図ることにある。

【0014】

【課題を解決するための手段】 そのため、本発明による半導体集積回路は、発振子接続端子をもつ発振回路と、この発振回路の出力信号に同期して動作する論理回路部と、電源電圧から前記発振回路の電源電圧として定電圧を発生する定電圧発生回路とを有する半導体集積回路において、前記定電圧発生回路は前記定電圧値を前記論理回路部の動作中に切り換える切換手段を有し、前記定電圧発生回路の出力電圧に応じて変動する前記発振回路の

出力振幅を前記論理回路部の論理振幅にレベル変換するレベル変換回路を備えている。

【0015】

【実施例】次に、本発明について図面を参照して説明する。

【0016】図1は、本発明の半導体集積回路の1実施例を示すブロック図である。

【0017】図1を参照すると、本実施例の半導体集積回路は、発振回路11、論理回路部12、定電圧発生回路13、レベル変換回路14などを有している。

【0018】発振回路11は、CMOSインバータを構成するP型トランジスタ111及びN型トランジスタ112並びに帰還抵抗113からなり、発振子接続端子114及び115を介して容量117及び118並びに発振子116を接続している。定電圧発生回路13の出力電圧が電源電圧として供給される発振回路11は、定電圧発生回路13の出力電圧に応じて発振出力振幅を変動させる。

【0019】レベル変換回路14は、レベルシフタ141からなり、論理回路部12に供給される電源電圧および定電圧発生回路13の出力電圧が必要に応じて供給され、論理回路部12の動作中に定電圧発生回路13の出力電圧に応じて変動する発振回路11の出力振幅を論理回路部12の論理振幅にレベル変換し論理回路部12に出力する。

【0020】論理回路部12は、クロック信号発生回路122及び起動制御回路121を有し半導体集積回路の論理機能を実行する。クロック信号発生回路122は、レベル変換回路14の出力を受けて半導体集積回路の基本タイミング信号などを発生する。起動制御回路121は、定電圧発生回路13に対し、発振回路11の発振起動から発振安定までの期間をパルス幅に含む起動制御信号を出力する。

【0021】定電圧発生回路13は、レギュレータ131及び切換手段132を有し発振回路11の発振起動電圧またはより低い発振維持電圧を発振回路11の電源端子に供給する。切換手段132は、切換用トランジスタ1321及び1322並びにインバータ1323を有し、発振回路11の発振起動から発振安定までの期間を過ぎたとき起動制御回路121の起動制御信号に制御されて、発振起動電圧である電源電圧からレギュレータ131が出力する発振維持電圧に定電圧発生回路13の出力電圧を切り換える。

【0022】図2は、図1における発振回路11の電源電圧の遷移を示す遷移図である。図2に従って動作説明する。

【0023】電源投入直後、半導体集積回路の論理回路部12の制御回路121はリセット状態にあり、起動制御信号としてハイレベルを出力し、電源電圧の立上りと共に起動制御信号のパルス期間の立上げを行う。このと

き、定電圧発生回路13は、切換手段132の切換用トランジスタ1322が導通しているため、発振起動電圧として電源電圧を出力する。供給される電源電圧の立上りと共に定電圧発生回路13の定電圧出力も立上り、発振回路11は発振起動する。

【0024】電源電圧の立上り後も、発振成長し安定するまでの期間を含んだ期間中、論理回路部12に供給される電源電圧と同じ電源電圧が発振回路11に供給される。一般に、発振子を含む発振器は、発振起動から発振安定まで一定の期間を必要とする。発振器に供給される電源電圧が高いほどCMOSインバータの増幅率が大きいため、発振安定までの期間は短くなる。

【0025】発振回路11の発振安定後、起動制御回路121は起動制御信号をロウレベルとしパルス期間の立下げを行う。定電圧発生回路13は、切換手段132の切換用トランジスタ1322が導通しているため、発振起動電圧より低い発振維持電圧を出力するレギュレータ131の出力を定電圧出力とし発振回路11の電源端子に供給する。このとき、発振回路の設計により発振起動電圧より約2〜3V低い電圧を発振維持電圧とすることができる。半導体集積回路の通常動作中、この発振維持電圧が電源電圧として供給される発振回路11は、発振維持電圧に準じた出力振幅で発振する。

【0026】発振器を流れる電流は周波数、容量および電源電圧により決定されるため、発振器に供給する電源電圧を下げることにより、発振器の消費電力を低減することが出来る。又、発振器に供給する電源電圧を下げることで、発振器の出力が小振幅になるため、半導体集積回路の基板電位およびウェル電位でリミットされて生じる出力波形歪みが小さくなり、高調波ノイズの放射レベルを抑えることが出来る。

【0027】たとえば、当社8ビット・シングルチップ・マイクロコンピュータである78K/0シリーズ製品において、HALT命令実行後のHALT状態のときに、4MHzで発振動作している発振器の消費電力および高調波ノイズの放射レベルを比較してみると、消費電力は5.6mW(5V電源)から0.4mW(2V電源)に低減し、高調波ノイズの放射レベルは-85dbm(5V電源)から-95dbm(2V電源)に低減する。これらはハンディタイプの小型機器に搭載されることが多い半導体集積回路にとって重要な特性である。

【0028】なお、図1の起動制御回路121は、リセット入力解除された論理回路部12のコマンド動作により制御されるフラグ回路により実現できるほか、発振成長し安定するまでの期間を設定した専用のカウンタを備えクロック信号発生回路122の出力をカウントすることによっても実現できる。又、パワーオンリセット時間の設計によっては、パワーオンリセット信号を含むリセット入力を起動制御信号として代用することもできる。

【0029】又、定電圧発生回路13は、図1の実施例の他に、レギュレータ131及び切換手段132を有し、切換用トランジスタ1321及び1322並びにインバータ1323からなる切換手段132が起動制御回路121の起動制御信号に制御されてレギュレータ131の基準電圧源を切り換える構成によっても実現可能である。

【0030】

【発明の効果】以上説明したように、本発明による半導体集積回路は、内蔵する発振回路の発振起動から発振安定までの期間をパルス幅を含む起動制御信号により発振回路に供給する動作電源電圧をより低い電圧に切り換える切換手段を有する定電圧発生回路と、定電圧発生回路の出力電圧に応じて変動する発振回路の出力振幅を論理回路部の論理振幅にレベル変換するレベル変換回路とを備えるため、論理回路部の動作中に発振回路の動作電源電圧を下げることで、半導体集積回路の通常動作時の消費電力を低減することが出来る。

【0031】また、発振器に供給する電源電圧を下げることで、発振器の発振出力が小振幅になるため、半導体集積回路の基板電位およびウェル電位でリミットされて生じる出力波形歪みが小さくなり、半導体集積回路の動作中に放射される高調波ノイズのレベルを抑えることが出来る等の効果がある。

【図面の簡単な説明】

【図1】本発明の半導体集積回路の1実施例を示すブロック図である。

【図2】図1における発振回路11の電源電圧の遷移を示す遷移図である。

【図3】従来の半導体集積回路の1例を示すブロック図である。

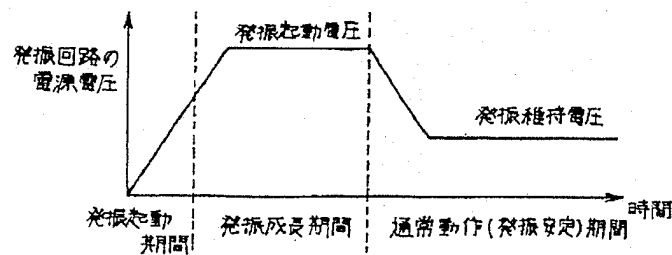
【図4】従来の半導体集積回路の他の例を示すブロック*

*図である。

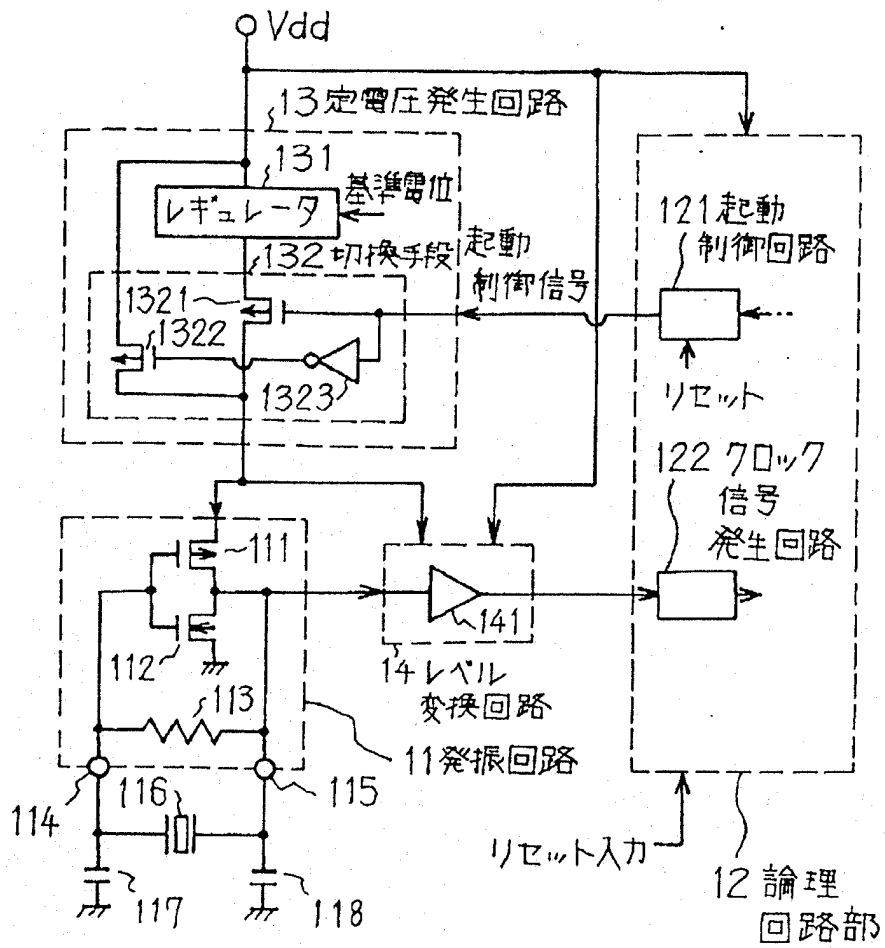
【符号の説明】

- 11 発振回路
- 111 P型トランジスタ
- 112 N型トランジスタ
- 113 帰還抵抗
- 114, 115 発振子接続端子
- 116 発振子
- 117, 118 容量
- 14 レベル変換回路
- 141 レベルシフタ
- 12 論理回路部
- 121 起動制御回路
- 122 クロック信号発生回路
- 13 定電圧発生回路
- 131 レギュレータ
- 132 切換手段
- 1321, 1322 切換用トランジスタ
- 1323 インバータ
- 31 マイクロコンピュータ内部ユニット
- 32 クロック信号制御回路
- 33 電源電圧制御回路
- 331, 332 電源電圧選択用P型トランジスタ
- 334, 335 電源電圧降下用N型トランジスタ
- 333 インバータ
- 41 マイクロコンピュータ
- 42 定電圧発生回路
- 43 スタンバイ電源
- 44 クロック供給回路
- 45 リセット回路
- 46 低速クロック発振回路
- 47 ダイオード

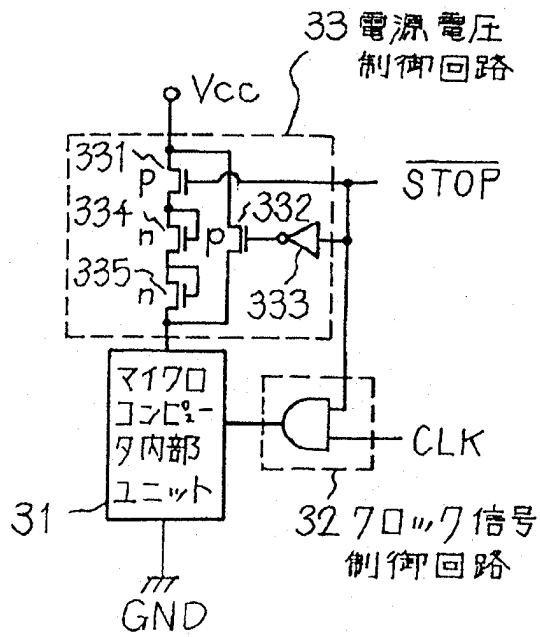
【図2】



〔図1〕



【図3】



【図4】

